

English Abstract attached.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-342339

(43)Date of publication of application : 24.12.1993

(51)Int.Cl.

G06F 15/66
G06F 3/153
G09G 5/36
H04N 1/387

(21)Application number : 04-150395

(71)Applicant : CANON INC

(22)Date of filing : 10.06.1992

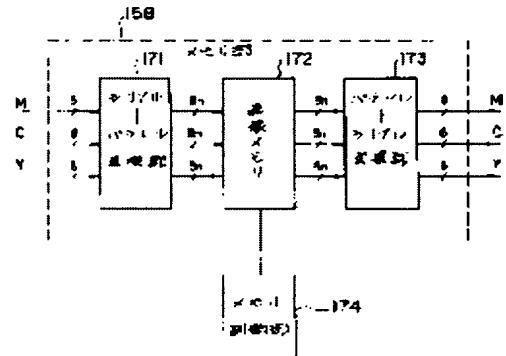
(72)Inventor : TAKAHASHI HIROYUKI

(54) METHOD FOR PICTURE PROCESSING AND DEVICE THEREFOR

(57)Abstract:

PURPOSE: To provide the method and the device for picture processing which quickly execute the picture processing without generating distortion of a picture and are low-cost.

CONSTITUTION: Picture data in picture element units is converted to block units by a serial-parallel conversion part 171 and is stored in a picture memory 172. The order of read out of the picture memory 172 is controlled by a memory control part 174 to execute the picture conversion processing (mirror image, picture rotation, or the like) in block units. When read-out picture data in block units is converted to serial data in picture element units by a parallel-serial conversion part 173, the order of taking-out of picture element data from a block is controlled to execute the picture conversion processing (mirror image, picture rotation, or the like) in picture element units even in the block.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-342339

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/66	3 4 0	8420-5L		
3/153	3 3 6 B	7165-5B		
G 0 9 G 5/36		9177-5G		
H 0 4 N 1/387		4226-5C		

審査請求 未請求 請求項の数 2 (全 11 頁)

(21)出願番号 特願平4-150395

(22)出願日 平成4年(1992)6月10日

(71)出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 高橋 弘行

東京都大田区下丸子3丁目30番2号 キャ
ノン株式会社内

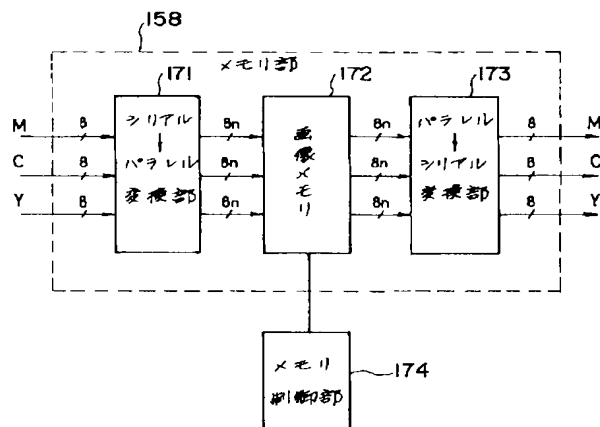
(74)代理人 弁理士 大塚 康徳 (外1名)

(54)【発明の名称】 画像処理方法及び装置

(57)【要約】

【目的】 画像に歪を発生せずに、高速に画像処理を実行し、低コストな画像処理方法及び装置を提供する。

【構成】 各画素単位の画像データをシリアルーパラレル変換部171にてブロック単位に変換して画像メモリ172に格納する。メモリ制御部174にて画像メモリ172からの読み出し順序を制御することで、ブロック単位での画像の変換処理（鏡像、画像回転等）が実行される。このようにして読み出されたブロック単位の画像データをパラレルーシリアル変換部174にて1画素ずつのシリアルデータに変換する際に、ブロック内からの画素データの取り出し順序を制御してブロック内でも画素単位で画像の変換処理（鏡像、画像回転等）を実行する。



【特許請求の範囲】

【請求項 1】 複数の画素データを 1 つのブロックとし、ブロック単位で画像データを格納する記憶工程を有する画像処理方法であって、

前記記憶部に格納された前記画像データを前記ブロック単位で読み出すブロック読出工程と、

前記ブロック読出工程の読み出し順序を制御して前記ブロック単位で画像の変換処理を実行する画像変換工程と、

前記読み出し工程により読み出されたブロック内での前記画素データを読み出す画素読出工程と、

前記画素読出工程の前記画素データの読み出し順序を制御し、前記ブロック内の各画素に対して変換処理を実行するブロック内画像変換工程とを備えることを特徴とする画像処理方法。

【請求項 2】 複数の画素データを 1 つのブロックとし、ブロック単位で画像データを格納する記憶手段を有する画像処理装置であって、

前記記憶部に格納された前記画像データを前記ブロック単位で読み出すブロック読出手段と、

前記ブロック読出手段の読み出し順序を制御して前記ブロック単位で画像の変換処理を実行する画像変換手段と、

前記読み出し手段により読み出されたブロック内での前記画素データを読み出す画素読出手段と、

前記画素読出手段の前記画素データの読み出し順序を制御し、前記ブロック内の各画素に対して変換処理を実行するブロック内画像変換手段とを備えることを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の画素データを 1 つのブロックとして記憶し、このブロック単位で画像処理を実行する画像処理装置に関するものである。

【0002】

【従来の技術】従来より、画像データを画像メモリに格納する画像処理装置においては、鏡像や画像回転などの画像処理を行うことが可能である。そして、従来のこの種の画像処理装置において上述のような画像処理を実行する場合は、主走査カウンタのアップダウンの切替、副操作カウンタのアップダウンの切替、主副のカウンタの入れ替えを実行し、画像メモリに格納された画像データの読みだし順序を制御することにより、鏡像や画像回転などの画像処理を行っている。

【0003】

【発明が解決しようとする課題】しかしながら、上記の従来例においては、画像メモリからの画像データの読み出し、または画像メモリへの画像データの書き込みを 1 画素ずつ実行するので、画像メモリのアクセススピードよりも速い画素クロックによる画像処理は出来ない。こ

のため、近年の画像処理速度の高速化に伴い、メモリのアクセススピードが問題となってきている。

【0004】上述の問題点に対する対策の 1 つとして、高速アクセスが可能なメモリの利用が挙げられるが、膨大なメモリ容量を扱う場合にはそのコストが莫大なものとなってしまい、実用的ではない。更に、別の対策として、複数の画素データを 1 つのブロックとして、画像データをブロック単位でメモリに書き込むことにより画像メモリへのアクセス回数を減らし、要求されるアクセススピードを遅くする方法がある。しかしながらこの場合は、鏡像や画像回転などの画像処理を実施するときに、ブロック単位で鏡像、画像回転の処理を実行してしまうので、画像に歪みが生じてしまうという欠点がある。

【0005】本発明は上述の問題点に鑑みてなされたものであり、画像に歪を発生せずに、高速に画像処理を実行し、低コストな画像処理方法及び装置を提供することを目的とする。

【0006】

【課題を解決するための手段】上述の問題点を解決するための本発明による画像処理方法は以下の構成を備える。即ち、複数の画素データを 1 つのブロックとし、ブロック単位で画像データを格納する記憶工程を有する画像処理方法であって、前記記憶部に格納された前記画像データを前記ブロック単位で読み出すブロック読出工程と、前記ブロック読出工程の読み出し順序を制御して前記ブロック単位で画像の変換処理を実行する画像変換工程と、前記読み出し工程により読み出されたブロック内での前記画素データを読み出す画素読出工程と、前記画素読出工程の前記画素データの読み出し順序を制御し、前記ブロック内の各画素に対して変換処理を実行するブロック画像変換工程とを備える。

【0007】また、上述の問題点を解決する本発明による画像処理装置は以下の構成を備える。即ち、複数の画素データを 1 つのブロックとし、ブロック単位で画像データを格納する記憶手段を有する画像処理装置であって、前記記憶部に格納された前記画像データを前記ブロック単位で読み出すブロック読出手段と、前記ブロック読出手段の読み出し順序を制御して前記ブロック単位で画像の変換処理を実行する画像変換手段と、前記読み出し手段により読み出されたブロック内での前記画素データを読み出す画素読出手段と、前記画素読出手段の前記画素データの読み出し順序を制御し、前記ブロック内の各画素に対して変換処理を実行するブロック画像変換手段とを備える。

【0008】

【作用】以上の構成により、画像データをブロック単位で画像メモリに格納し、鏡像、画像回転等の画像の変換処理を施す際に、ブロック単位でメモリ制御を行う。そして、ブロック内の各画素データに対しても同様に鏡像、回転等の画像の変換処理が施されるようにブロック

内の画素データの読出し順序を入れ替える。

【0009】このようにして、ブロック単位で画像変換を実行し、更にブロック内の画素単位でも画像の変換を実行するので、変換された画像の歪が解消される。更に、メモリへのアクセスはブロック単位で実行されるので、高速な画像処理が可能である。

【0010】

【実施例】以下に添付の図面を参照して、本発明の実施例を説明する。

【0011】〔実施例1〕

<リーダ部構成>図1は実施例1によるカラー画像記録装置のリーダ部の機能構成を表す機能ブロック図である。原稿を読取り、記録紙に記録する本カラー画像記録装置において、RGB3色のフィルタを設けたCCD151により原稿画像を読み取る。次に、A/D&S/H部152において、CCD151による読み取り画像信号をデジタル化して画像データとする。そして、シェーディング補正部153と入力マスキング部154によりこの画像データを補正する。更に、変倍動作を行う場合は、変倍処理部155で画像データの変倍処理を行う。次に、LOG変換部156で画像データに対してLOG変換を実行することにより、RGBの画像データはMCYの画像データに変換される。そして、メモリ部158に画像データが格納される。メモリ部158に格納された画像データは順次読み出され、読み出された画像データはマスキングUCR部160にてマスキング処理される。このマスキング処理によりMCYの画像データは、MCYKの画像データとなる。更に、補正部161とエッジ強調部162によりMCYKの出力画像データを作り、ビデオ処理部163を通してプリンタ部103で記録紙に画像を記録する。

【0012】<プリンタ構成>図2はプリンタ部103の構成を表す図である。

【0013】図2において、301はビデオ処理部163において生成されたレーザ光を感光ドラム上に走査させるポリゴンスキャナであり、302は初段のマゼンタ(M)の画像形成部であり、303、304、305は同様の構成のシアン(C)、イエロー(Y)、ブラック(K)の各色についての画像形成部を示す。

【0014】画像形成部302において、318はレーザ光の露光により潜像を形成する感光ドラムである。313はドラム318上にトナー現像を行う現像器であり、現像器313内の314は現像バイアスを印加し、トナー現像を行うスリーブである。315は感光ドラム318を所望の電位に帯電させる1次帯電器であり、317は転写後の感光ドラム318の表面を清掃するクリーナである。316は補助帯電器であり、クリーナ317で清掃されたドラム318の表面を除電し、1次帯電器315において良好な帯電を得られるようにするものである。330はドラム318上の残留電荷を消去する

前露光ランプであり、319は転写ベルト306の背面から放電を行い、ドラム318上のトナー画像を転写部材に転写する転写帯電器である。

【0015】309、310は転写部材を収納するカセットであり、308はカセット309、310から転写部材を供給する給紙部である。311は給紙部308により給紙された転写部材を転写ベルト306に吸着させる吸着帯電器である。312は転写ベルトローラであり、転写ベルト306の回転に用いられると同時に吸着帯電器311と対になって転写ベルト306に転写部材を吸着帯電させる。

【0016】324は転写部材を転写ベルト306から分離しやすくするための除電帯電器であり、325は転写部材が転写ベルトから分離する際の剥離放電による画像乱れを防止する剥離帯電器である。326、327は分離後の転写部材上のトナーの吸着力を補い、画像乱れを防止する定着前帯電器である。322、323は転写ベルト306を除電し、転写ベルト306を静電的に初期化するための転写ベルト除電帯電器であり、328は転写ベルト306の汚れを除去するベルトクリーナである。

【0017】307は転写ベルト306から分離され、定着前帯電器326、327で再帯電された転写部上のトナー画像を転写部材上に熱定着させる定着器である。

【0018】329は給紙部308により転写ベルト上に給紙された転写部材の先端を検知する紙先端センサである。紙先端センサ329からの検出信号はプリンタ部103からリーダ部101に送られ、リーダ部101からプリンタ部103にビデオ信号を送る際の副走査同期信号として用いられる。

【0019】<プリンタ主要ブロック構成>163は原稿読取装置101を介して送られてきたM、C、Y、Kのビデオ信号を処理し、PWM変調されたレーザ光信号を生成するビデオ処理部である。

【0020】上述の構成において、図1のリーダ部101におけるメモリ部158に画像データが格納される。このとき、コピースピードを上げようとする、画素クロック(VCK)の周期が速くなるので、そのスピードで画像メモリ(例えばDRAM)に1画素ずつ格納しようとする、どうしても画像メモリのアクセスタイムが問題となってしまう。この問題を解決するため、以下に説明するように、画像データに対してシリアル-パラレル変換を実行する。

【0021】図3はメモリ部158の詳細ブロック図である。シリアル-パラレル変換部171により、例えば8bitのシリアルデータを8nbitのパラレルデータに変換して格納する。このようにすると、画像データの1回の格納に要求されるアクセスタイムは $v(sec)$ から $nv(sec)$ となる。従って、画素クロック(VCK)の周期が速くなってもnを大きくすることに

10

20

30

40

50

よりメモリに書き込むことが出来るようになる。

【0022】また、読み出すときには、画像メモリ172内の画像データを8bitの平行データとして読み出し、平行シリアル変換部173により、8bitのシリアルデータに戻す。このようにして、画像メモリ172より画像データを読み出すアクセスタイムは $n \cdot v(sec)$ であり、シリアルデータとなった画像データを処理する為の画素クロックは $v(sec)$ に戻すことが可能となる。

【0023】ところが、上述のように、シリアル-平行変換部171にてシリアル-平行変換を行って、メモリに格納してしまうと、図4のような鏡像や画像回転を行う際に不具合が生じる。以下にこの不具合について説明する。

【0024】図5はメモリ制御部174の詳細ブロック図である。図5に示すように、メモリ制御部174から画像メモリ172に読み出しのアドレスを与える際に、ROT0, ROT1, ROT2の3bitの信号を設定することにより、図4の8種類の画像が出来上がる。例えば、ROT0=0, ROT1=1, ROT2=0に設定すると(ROT=010)、X方向カウンタ182はアップカウンタに、Y方向カウンタ183がダウンカウンタにそれぞれ設定され、セクタ184では入力Aが選択される。この結果として、X座標については逆方向に、Y座標については順方向に座標が設定される。そして、座標-アドレス変換器185により前述のX座標、Y座標に対応する画像メモリのアドレスが生成される。このアドレスに従ってブロック単位で画像メモリより画像データが読み出されるので、図4の(2)に示すようにX方向反転の画像が得られる。

【0025】しかしながら、上述のX方向反転はブロック単位での処理であるため、平行シリアル変換部173により、これら各ブロックに対して、通常の平行シリアル変換を施してしまうと、平行シリアル変換したブロック内では、鏡像、画像回転がされない。つまり、ブロック単位では鏡像、回転がなされても、画素単位では鏡像、回転がなされないため、画像としては歪んだものになってしまう。

【0026】上述の歪に対する解決方法を以下に説明する。図6は2画素×2ラインを1ブロックとした場合の、ブロック内における画素のX反転、Y反転、XY反転を表す図である。このように、2画素×2ラインを1ブロックとして考え、画像メモリ172より読み出されたブロックに対して平行シリアル変換を実行するときに、メモリ内に格納されていたオリジナル画像60をX反転61、Y反転62、XY反転63、左回転64のように読み出しの順序を入れ替えて平行シリアル変換すれば、ブロック単位だけでなく、画素単位でも鏡像、回転した画像が得られるので、全体として歪の無い画像となる。

【0027】次に、上述の平行シリアル変換を実行する方法について説明する。図7は、平行シリアル変換部173の回路図である。画像メモリ172に格納されている2画素×2ラインの32bitデータ(オリジナル画像60の「0」、「1」、「2」、「3」の各8bit)を1ブロックとして読み出すと、この32bitデータがDinに出力される。この32bitデータは不図示のラッチ回路により2画素クロック(VCK)の間保持されるものとする。Dinに出力されている32bitデータはラインメモリ(FIFO)191にて1ライン分保持しておく。そして、2to1セクタ192にて、YPHSがLowの間はDin上に出力されているデータを採用し、YPHSがHighの間はFIFO191より出力されるデータを採用するようにする。この2to1セクタ192にて採用された32bitデータは各画素(8bit)ずつに分けて、4to1セクタ193の各入力A, B, C, Dに入力される。

【0028】4to1セクタ193では、セレクト信号S0, S1により、シリアルデータとしての出力順序の入れ替えを実行し、Doutに出力される。このときのセレクト信号S0, S1は、XPHS, YPHS, ROT0, ROT1, ROT2の各信号によって決定される。これによって図6のように順序を入れ替えた平行シリアル変換が可能となる。

【0029】図8は、画素クロック(VCK), XPHS, YPHS, HSYNC, Dinの各タイミングを表すタイミングチャートである。ここで、HSYNCは主走査同期信号である。32bitの画像データはDinに2画素クロック毎に出力される。即ち画像メモリ172のアクセスタイムは2画素クロックとなる。そして次のラインのシリアルデータ生成時(YPHSがHighの間)には、FIFO191に格納されたデータを使用するので画像メモリ172からの読み出しは実行されない。

【0030】ここで、例えば、ROT=011(ROT2=0, ROT1=1, ROT0=1)とセットすると、「0」、「1」、「2」、「3」の順で格納されていたデータは1回目のライン走査時(YPHSがLowのとき)に「1」、「3」の順で出力され、次のライン走査時(YPHSがHighのとき)に「0」、「2」の順で出力されることになる。このようにして、オリジナル画像60は左回転画像64となる(図6)。

【0031】そして、このROT=011を図5のROT0, ROT1, ROT2信号にもセットすれば、図4の(0)のように格納された画像が(3)のように回転された形で出力される。

【0032】以上説明してきたように、実施例1によればブロック単位で画像メモリより画像データの読み書きを実行するので高速な画素クロックに対応でき画像処理速度を向上することが出来る。さらにブロック単位で回転、鏡像等の画像処理を実行した場合でも、各ブロック

内の各画素に対しても回転、鏡像等の処理が実行されるので、画像の歪が発生しない。即ち、画像メモリのアクセススピードに制限されずに、画像歪を発生すること無く、高速な画像処理が実行可能となる。

【0033】〔実施例2〕また、図8の回路の変形として、図9のような回路構成をとることもできる。これは、4to1セクタ193に入力されるセレクト信号S0、S1の制御方法を変形した例である。

【0034】即ち、REG0、REG1、REG2、REG3にそれぞれのROT信号に合わせた順に2bitのデータ(0、1、2、3のいずれか)を不図示のCPUからあらかじめセットしておき、XPHS、YPHS信号に合わせてそれを4to1セクタ198で選んでセレクト信号(S0、S1)とすることにより、4to1セクタ193による画素データの出力順序を制御することで、上述の実施例1と同様の効果を得ることが出来る。

【0035】また、実施例1では不可能だった“0”、“1”、“2”、“3”→“3”、“2”、“0”、“1”や“2”、“3”、“1”、“0”のparallell-serial変換が可能となる。

【0036】〔実施例3〕実施例1では、1ブロックが2画素×2ラインでの実施例であったが、n画素×nラインであっても同様に鏡像や画像回転をすることが可能である。実施例3においてはこのn画素×nラインを1ブロックとして実施する場合について説明する。

【0037】図10はn画素×nラインを1ブロックとした場合の、各ブロック内における画素データX反転、Y反転、XY反転を表す図である。図10に示すようにオリジナル101をX反転102、Y反転103、XY反転104し、画素データを入れ替えて出力するのである。

【0038】この場合のparallell-serial変換部173は図11のようになる。画像メモリ172に格納されているn画素×nラインの(8×n×n)bitデータ(オリジナル画像101の「0」、「1」～「n×n-1」の各8bit)を1ブロックとして読み出すと、この(8×n×n)bitデータがDinに出力される。この(8×n×n)bitデータは不図示のラッチ回路によりn画素クロック(VCK)の間保持されるものとする。Dinに出力されている(8×n×n)bitデータはラインメモリ(FIFO)201にて1ライン分保持しておく。そして、YPHS₁～YPHS_mにより、nto1セクタ202にてセレクトされた画像データは各画素(8bit)ずつに分けて、n×nto1セクタ199の各入力A_{0,0}、A_{0,1}、～A_{n-1,n-1}に入力される。ここで、mはnto1セクタ202のn個の人力信号を選択するのに必要な数である。

【0039】n×nto1セクタ199では、セレクト信号Sにより、シリアルデータとしての出力順序の入れ替えを実行し、Doutに出力される。このときのセレクト

ト信号Sは、n×nto1セクタ200により出力されるものである。n×nto1セクタ200にはREG_{0,0}～REG_{n-1,n-1}が入力されており、その選択は複数のXPHS₁～XPHS_m、YPHS₁～YPHS_mの各信号によって決定される。これによって図10のように順序を入れ替えたparallell-serial変換が可能となる。

【0040】以上のようにして、n画素×nラインを1ブロックとしても歪みのない鏡像や画像回転が可能となる。

【0041】尚、上述の各実施例においては2画素×2ラインもしくは、n画素×nラインを1ブロックとしているがこれらに限られるものではなく、例えば、4画素×1ラインや、i画素×jラインなどを1ブロックとしても実施可能である。

【0042】尚、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器から成る装置に適用しても良い。

【0043】

【発明の効果】以上説明したように、本発明によれば、画像の変換処理を画像の歪みを発生せずに高速かつ低コストにて実現することが出来る。

【0044】

【図面の簡単な説明】

【図1】本実施例のカラー画像記録装置のリーダ部の機能構成を表す機能ブロック図である。

【図2】本実施例のプリンタ部の構成を表す図である。

【図3】本実施例のメモリ部の詳細ブロック図である。

【図4】鏡像、回転処理を行った画像の出力例を表す図である。

【図5】本実施例のメモリ制御部の詳細ブロック図である。

【図6】2画素×2ラインのブロック内回転を表す図である。

【図7】実施例1によるparallell-serial変換部の詳細ブロック図である。

【図8】画素クロック(VCK)、XPHS、YPHS、HSYNC、Dinの各タイミングを表すタイミングチャートである。

【図9】実施例2によるparallell-serial変換部の詳細ブロック図である。

【図10】n画素×nラインのブロック内回転を表す図である。

【図11】実施例3によるparallell-serial変換部の詳細ブロック図である。

【符号の簡単な説明】

158 メモリ部

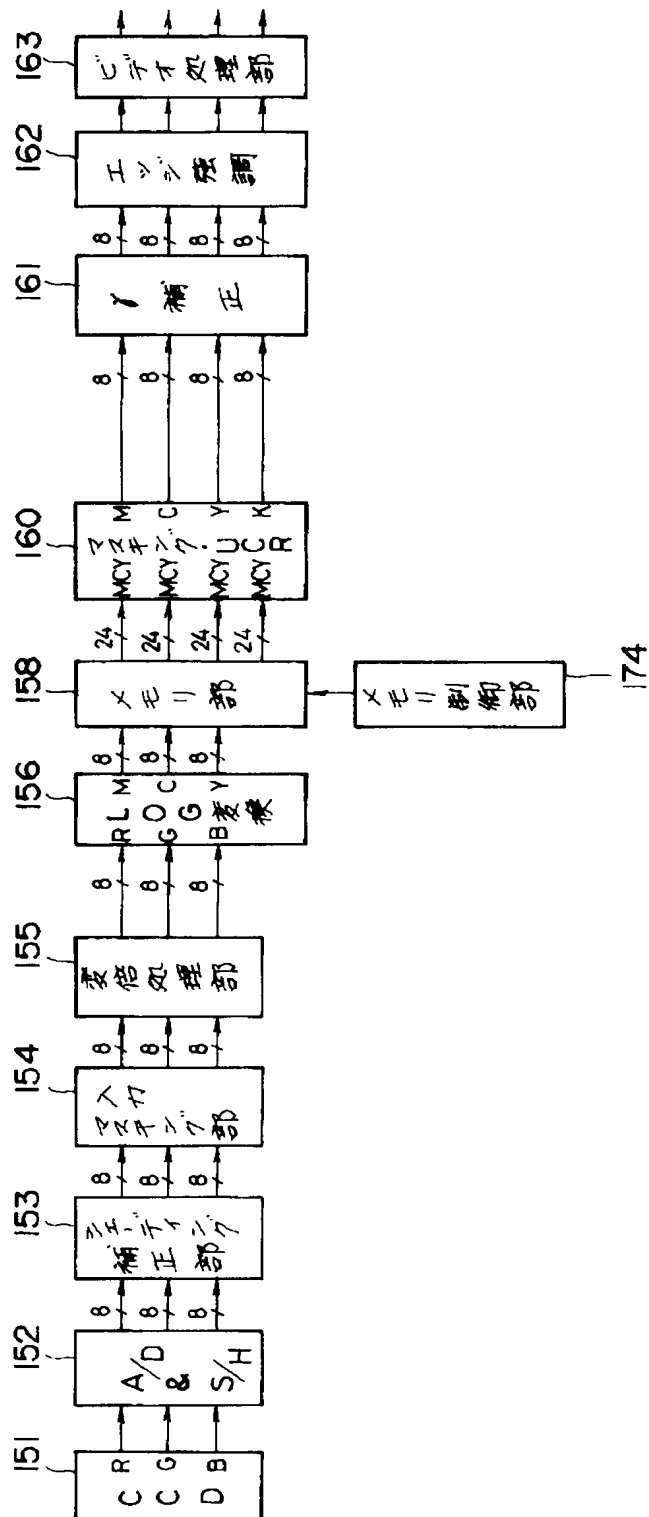
171 シリアル-parallel変換部

172 画像メモリ

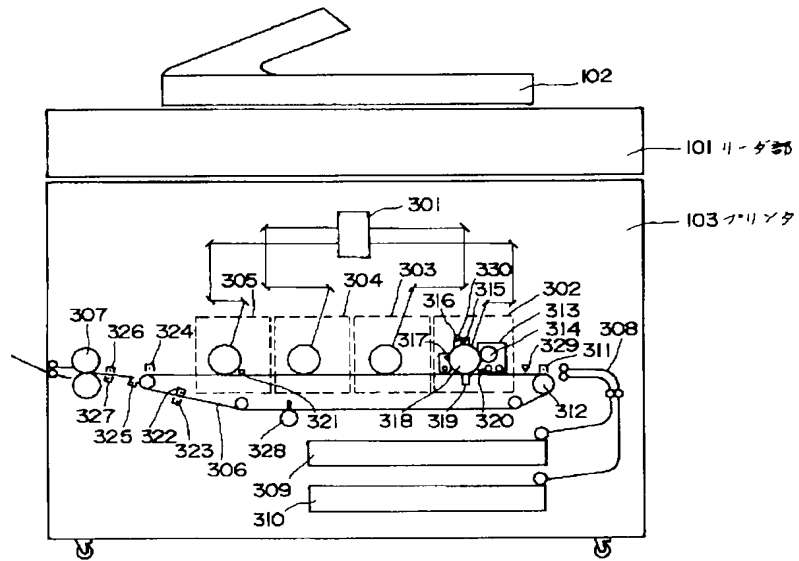
173 parallell-serial変換部

174 メモリ制御部

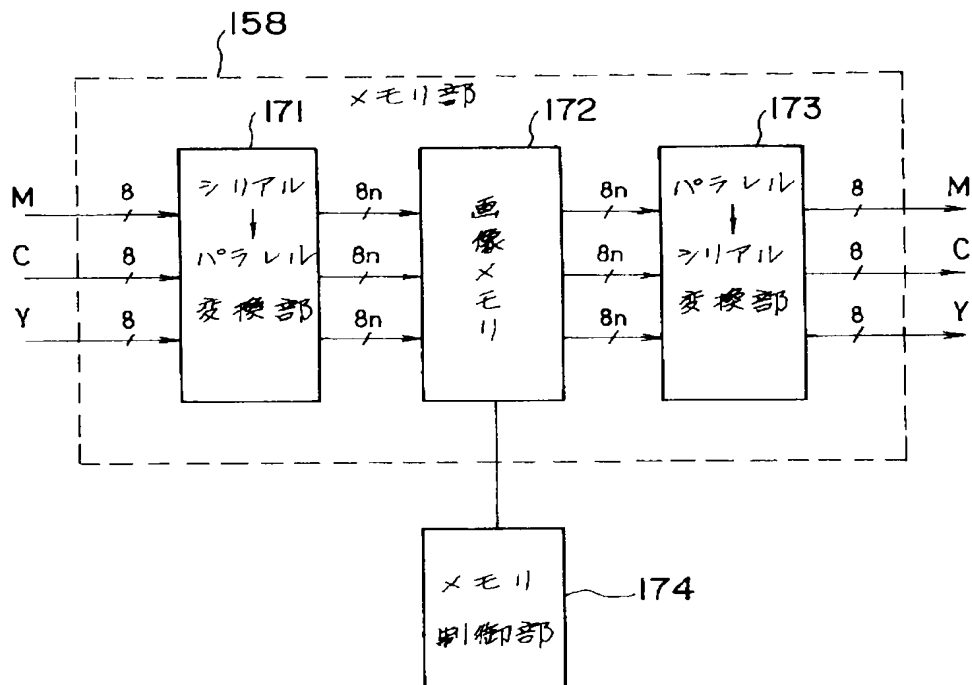
【図1】



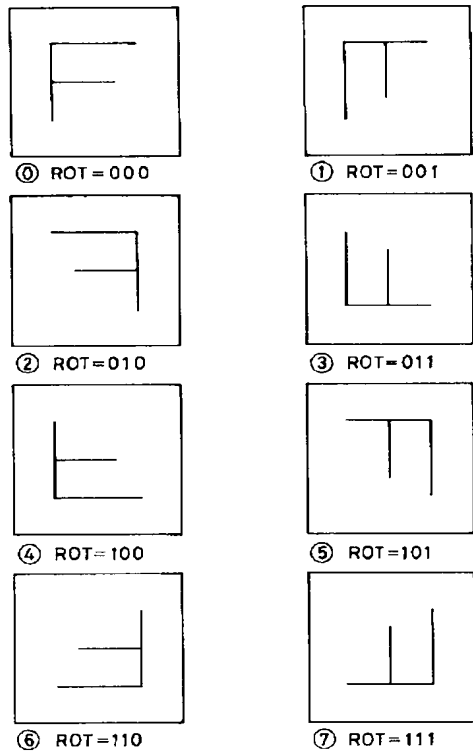
【図2】



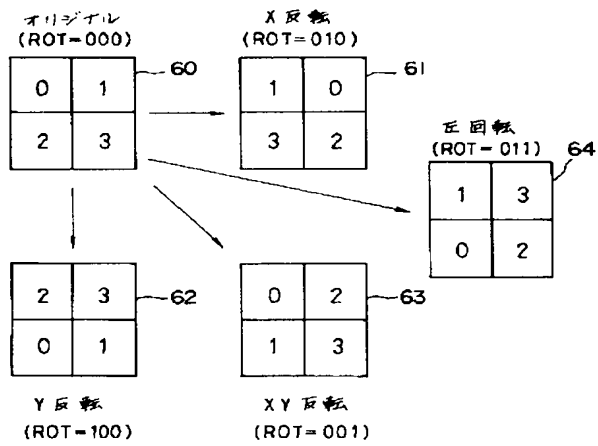
【図3】



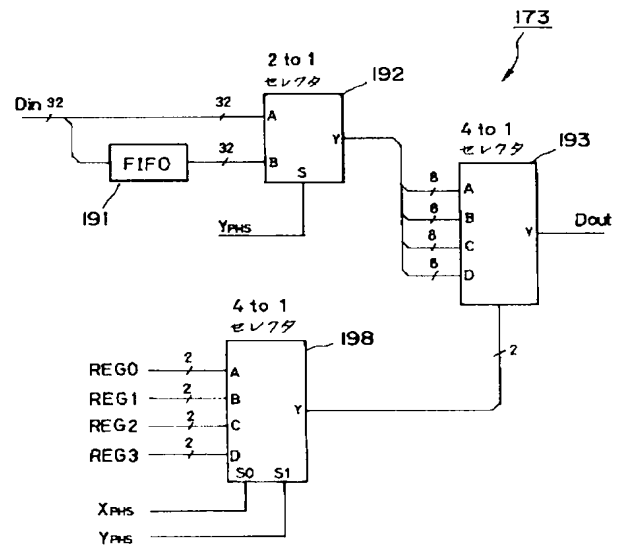
【図 4】



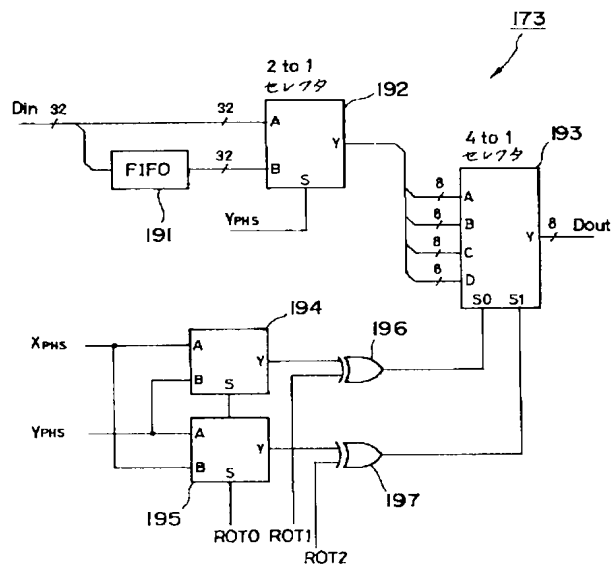
【図 6】



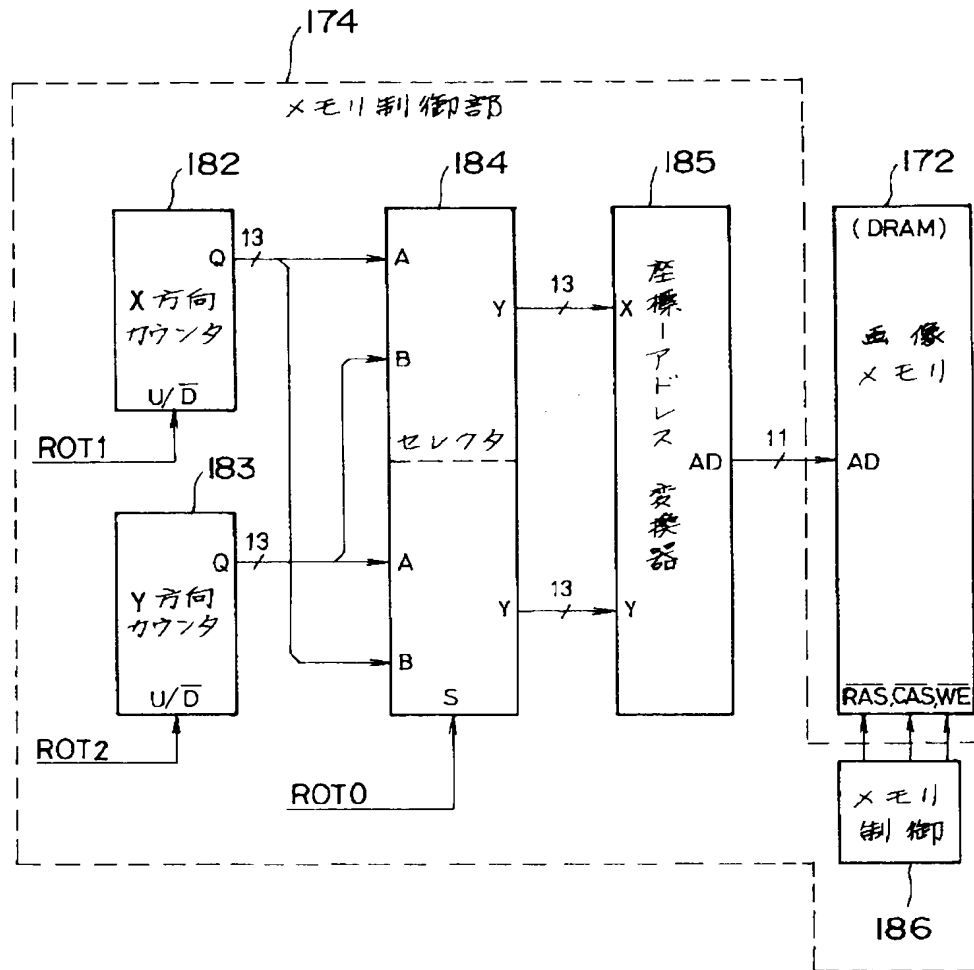
【図 9】



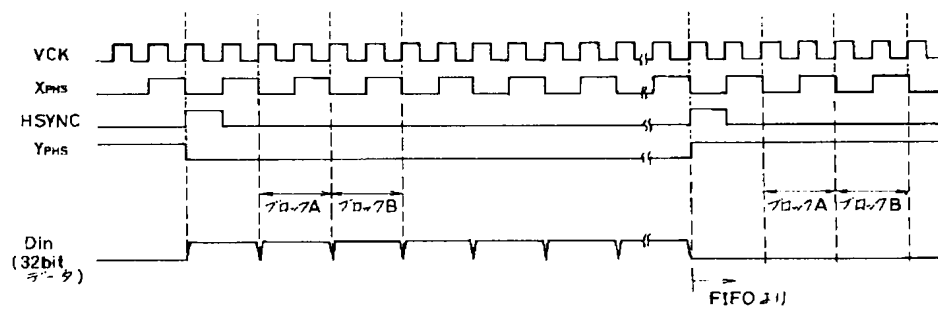
【図 7】



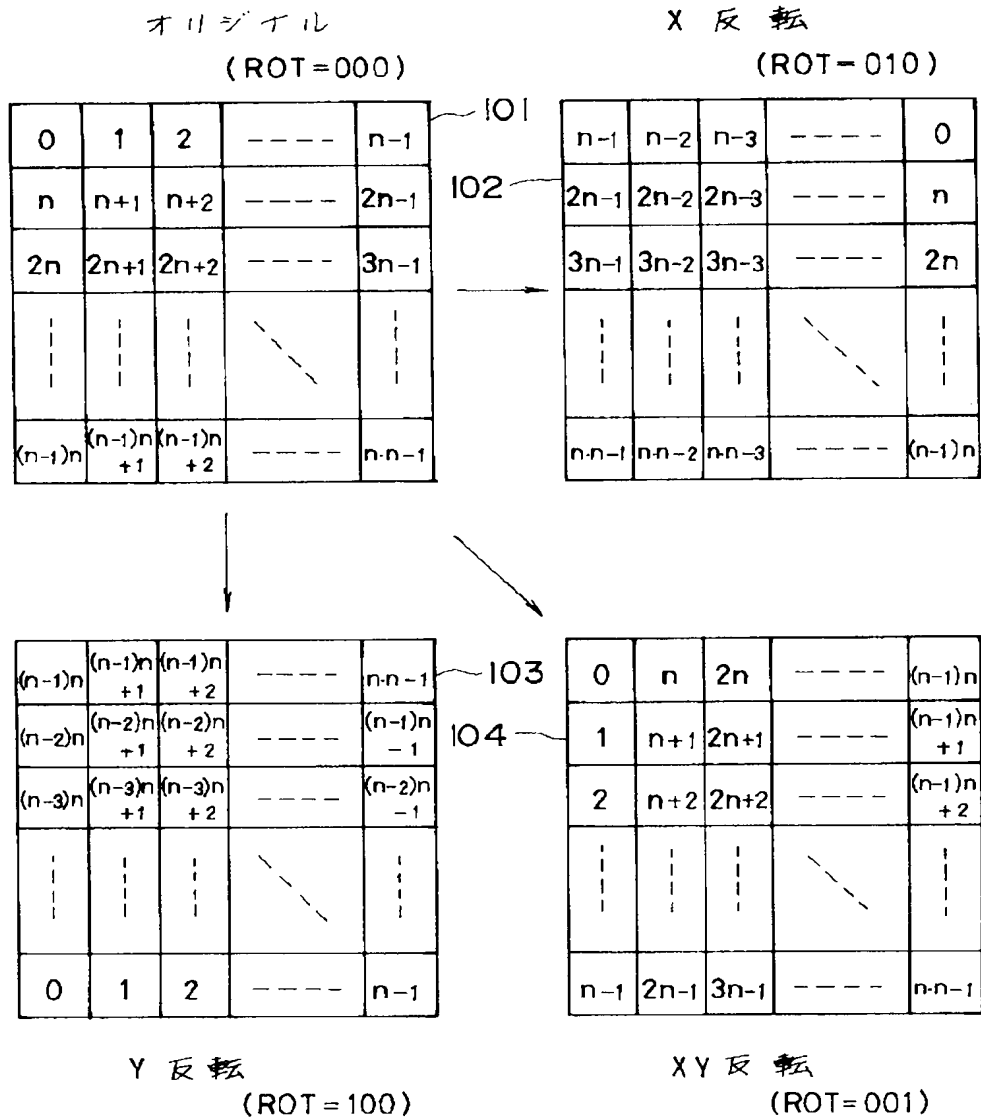
【図5】



【図8】



【図10】



【図11】

